

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233893

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01S 3/18
H01L 33/00

(21)Application number : 10-035638

(71)Applicant : SHARP CORP

(22)Date of filing : 18.02.1998

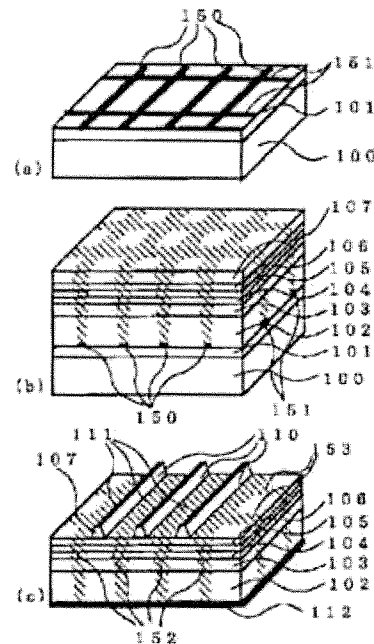
(72)Inventor : TANETANI MOTOTAKA

(54) SEMICONDUCTOR LIGHT EMITTING DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the decline in the light emission efficiency by forming a light emitting region generated by current injection which is one of active layers, in other region than a region right above a growth suppressing structure.

SOLUTION: On a sapphire substrate 100, selectively grown masks 150, 151 are so formed as to cross at right angles each other. After that, an n-GaN continuous film semiconductor layer 102 is grown. Then, a mesa stripe 110 is formed nearly parallelly with the selectively grown mask 150 in other region than a region 152 right above the selectively grown mask 150. Next, a p-type electrode 111 of a stripe geometry is formed on an upper face of the mesa stripe 110 and then a backside of a wafer is polished to expose the n-GaN continuous film semiconductor layer 102 and an n-type electrode 112 is formed on the entire surface of the n-GaN continuous film semiconductor layer 102. After that, at a position away from the selectively grown mask 151, a mirror surface which constitutes a laser resonator is formed by cleaving. By specifying the shape of the selectively grown masks, the relative position of the mesa stripe 110, and the relative position of the laser resonator mirror for cleaving, the decline in the light emission efficiency can be prevented.



**PARTIAL TRANSLATION OF
JAPANESE PATENT PUBLICATION No. H11-233893**

[0025] (Embodiment 2) Next, an example in which the present invention is applied to a light emitting diode will be described. Figure 4 illustrates the structure of a device according to the second embodiment. The device is formed of an n-GaN continuous film semiconductor layer 401, an n-GaN buffer layer 402, an $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ distortion relaxation layer 403, an $\text{In}_{0.5}\text{Ga}_{0.5}\text{N}$ single quantum well active layer 404, a p- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ evaporation prevention layer 405, and a p-GaN contact layer 406, and an n-type electrode 407, and a p-type electrode 408. Further, in the device according to the present embodiment, the light emitting region is defined by a mesa 410.

[0026] Then, a manufacturing method of the present light emitting device will be described. First, trench structures 450 each having a width of 40 μm and a depth of 50 μm are formed into a superlattice structure with pitches of 400 μm on the surface of a sapphire substrate 400 by dicing. The process cross-sectional view of the semiconductor device thus formed is illustrated in Figure 5(a).

[0027] The n-GaN continuous film semiconductor layer 401 is grown to 300 μm by an HVPE method. Although the n-GaN continuous film semiconductor layer 401 cannot be grown as a flat surface in the initial stage of growth due to the presence of the trench structure 450 formed in the sapphire substrate 400, the layer 401 grows from the walls on the right and left sides as the layer 401 grows thicker, to gradually bury the trench structure 450, so that the trench in the surface becomes flat. In other words, the same effects can be obtained as in a case where growing at the trench 450 is effectively slow, and the n-GaN continuous layer 401 can be formed into a single layer having a flat continuous surface when the layer is grown to 300 μm .

[0028] Subsequently, the n-GaN buffer layer 402, the $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ distortion relaxation layer 403, the $\text{In}_{0.45}\text{Ga}_{0.55}\text{N}$ single quantum well active layer 404, and the p- $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ evaporation prevention layer 405, and the p-GaN contact layer 406 are grown to 0.4 μm , 0.05 μm , 4 nm, 0.1 μm , and 0.4 μm , respectively, on the n-GaN continuous film semiconductor layer 401 by a molecular beam epitaxy method (MBE method). The process cross-sectional view of the semiconductor device thus formed is illustrated in Figure 5(b).

[0029] Moreover, the mesa 410 with an angle of 300 μm including the $\text{In}_{0.45}\text{Ga}_{0.55}\text{N}$ single quantum well active layer 404 is made to periodically remain, using an ordinary lithography technique and a dry etching technique, and the region around the mesa 410 is etched in width of 100 μm so that the n-GaN continuous semiconductor layer 401 is exposed to the etched

bottom surface. In other words, the etched region is formed into the shape of a lattice with pitches of 400 μm , whereby a region 451 on the trench structure 450, and the $\text{In}_{0.45}\text{Ga}_{0.55}\text{N}$ single quantum well active layer 404 included in the periphery thereof, which include a number of defects and grown by a MBE method, are completely removed. In the present embodiment, the trench structure 450 is a growth inhibiting structure. The process cross-sectional view of the semiconductor device thus formed is illustrated in Figure 5(c).

[0030] Further, after the back surface of the wafer is polished so that the sapphire substrate 400 is completely removed and the n-GaN continuous film semiconductor layer 401 is exposed to the back surface of the wafer, an n-type electrode 407 is formed on the n-GaN continuous film semiconductor layer 401 and an optically transparent p-type electrode 408 is formed on the surface of the mesa 410. Finally, the region 451 immediately on the trench structure 450 is scribed to obtain individual light emitting diode chips. The process cross-sectional view of the semiconductor device thus formed is illustrated in Figure 4.

[0031] As a result of measuring the efficiency of converting electrons into photons in the light emitting diode thus formed, the yield of a device with a conversion efficiency of not smaller than 5 %, which is considered to be practically satisfactory, is as high as 85 %. Moreover, as a result of testing the reliability of the device according to the present embodiment under the same conditions as those for the conventional device, 95% - 103% of the emission intensity at start of the test is obtained after 1000 hours have passed since the test, which means that a practically satisfactory reliability is ensured.

[0032] The light emitting region of the light emitting device according to the present embodiment corresponds to the mesa 410 with the remaining $\text{In}_{0.45}\text{Ga}_{0.55}\text{N}$ single quantum well active layer 404. Since the mesa 410 is formed in the area other than the region 451 immediately on the trench structure 450 used as a growth inhibiting structure at growth of the n-GaN continuous film semiconductor layer 401, the region 451 immediately on the trench structure 450 is not included in the light emitting region in each of all the light emitting devices manufactured. Further, the width of the $\text{In}_{0.45}\text{Ga}_{0.55}\text{N}$ single quantum well active layer 404 which is removed by etching is 100 μm , so the light emitting region of the mesa 410 is formed 30 μm apart from the edge of the trench structure 450 with a width of 40 μm . The reason why a device with a high luminous efficiency and a high yield is obtained and a satisfactory reliability is ensured as described above is that crystal defects which are intensively generated in the region 451 immediately on the trench structure 450 due to the crystal growth process using an HVPE method and an MOCVD method do not adversely affect light emission of the $\text{In}_{0.45}\text{Ga}_{0.55}\text{N}$ single quantum well active layer 404 and that it becomes possible to arrange a light emitting region as intended in a part with a relatively

small number of crystal defects.

[0033] Moreover, light emitting devices with substantially the same structure as that of the above device are experimentally manufactured in substantially the same manufacturing process as that of the above device, except that only the pitch of the trench structure 450 is changed from 400 μm to 500 μm and to 300 μm . The size and pitch of the mesa 410 are 300 μm and 400 μm as in the above embodiment. As a result of measuring the emission characteristics of these light emitting devices, a luminous efficiency is not smaller than 5% and a yield is extremely reduced to 16% in the device in which the pitch of the trench 450 is 300 μm , while a yield is 38% in the device in which the pitch of the trench 450 is 500 μm . This result indicates that it is important that the pitch of the trench structure 450 is equal to that of the mesa 410 forming individual light emitting diodes. In view of this, in order to manufacture as many light emitting device as possible from a wafer with a fixed area, the region 451 immediately above the trench structure 450 is not included in the light emitting region in each of all the light emitting devices. In this sense, obviously, the pitch of the trench structure 450 may be an integral multiple of that of the mesa 410.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-233893

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.⁶

H 0 1 S 3/18

H 0 1 L 33/00

識別記号

F I

H 0 1 S 3/18

H 0 1 L 33/00

C

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号

特願平10-35638

(22)出願日

平成10年(1998) 2月18日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 種谷 元隆

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

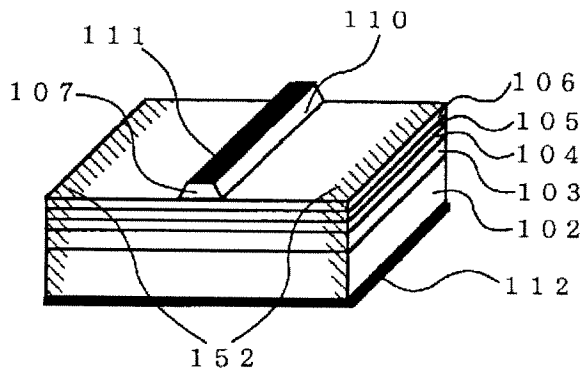
(74)代理人 弁理士 小池 隆彌

(54)【発明の名称】 半導体発光素子及びその製造方法

(57)【要約】

【課題】 部分的成長抑制構造を利用して、基板と格子定数または熱膨張係数が異なる連続膜半導体層を形成した上に、さらに半導体発光素子を形成する場合の発光効率の低下および信頼性の悪化を防止する。

【解決手段】 成長抑制構造上への結晶成長により得られる成長抑制構造上方領域を含む連続膜半導体層の上に形成された半導体発光素子において、活性層の内、電流注入により光を発生する発光領域が上記成長抑制構造上方領域以外の領域に形成されているようにする。



【特許請求の範囲】

【請求項1】 成長抑制構造上への結晶成長により得られる成長抑制構造直上領域を含む連続膜半導体層と、光を発生させる活性層とを有する半導体発光素子であって、

該活性層の内、電流注入により光を発生する発光領域が前記成長抑制構造直上領域以外の領域に形成されていることを特徴とする半導体発光素子。

【請求項2】 前記発光領域は成長抑制構造直上領域から $30\mu\text{m}$ 以上離れた位置に形成されていることを特徴とする請求項1に記載の半導体発光素子。

【請求項3】 前記発光領域と前記成長抑制構造直上領域との間の領域では、前記活性層が除去されていることを特徴とする半導体発光素子。

【請求項4】 基板上に成長抑制構造を形成する第1工程と、前記基板および前記成長抑制構造の両方を連続して覆うように前記基板と格子定数または熱膨張係数が異なる連続膜半導体層を形成する第2工程と、前記連続膜半導体層の上に光を発生させる活性層を含む多層構造体を形成する第3工程と、前記成長抑制構造部の直上領域を除いて前記活性層における発光領域を規定するための構造を形成する第4工程と、を有することを特徴とする半導体発光素子の製造方法。

【請求項5】 半導体発光素子をウェハから複数個の半導体発光素子に分割する工程を有する半導体発光素子の製造方法であって、前記第4工程後、前記成長抑制構造直上の前記活性層が半導体発光素子に含まれないように半導体発光素子をウェハから分割する第5工程とを含むことを特徴とする請求項4に記載の半導体発光素子の製造方法。

【請求項6】 前記第5工程において、前記成長抑制構造直上の端から $30\mu\text{m}$ 以内の領域に残存する前記活性層が、半導体発光素子に含まれないように半導体発光素子を分割することを特徴とする請求項5に記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体発光素子に関し、特に、基板上に基板とは格子定数または熱膨張係数の異なる半導体材料にて形成された信頼性の高い半導体発光素子に関する。

【0002】

【従来の技術】半導体発光素子を構成する結晶材料とは格子定数が3%以上異なる基板上へ形成する場合や、熱膨張係数が10%以上異なる基板上へ半導体結晶を成長する場合には、まず基板の上に半導体発光素子を構成する材料と格子定数や熱膨張係数がほぼ等しい（格子定数、熱膨張係数とも1%以内）結晶材料を厚く成長させ

連続膜半導体層を形成した上に半導体発光素子を形成する試みがなされている。連続膜半導体層の上に積層した半導体層は結晶欠陥が低減することが報告されている。このような発光素子の代表例として、図8に、サファイア基板800上に、GaN層を厚く結晶成長させて連続膜半導体層を形成し、その上に青色発光ダイオード(LED)を形成した従来技術による例を示す。

【0003】この従来例のLEDの作製方法を説明する。サファイア基板800上に、まずハライド気相成長法(HVPE法)によりGaN層801を $5\mu\text{m}$ 厚に厚く成長させる。次に、GaN層801表面に SiO_2 からなる選択成長マスク802を格子状($200\mu\text{m}$ ピッチの $20\mu\text{m}$ 幅の SiO_2 ストライプが互いに直交する形)に形成する。以上までに作製された工程断面図を図8(a)に示す。

【0004】次に、このサファイア基板800上にHVPE法によりn型GaN連続膜半導体層803を $300\mu\text{m}$ 厚成長させる。この時、HVPE工程により成長されたn型GaN連続膜半導体層803は、サファイア基板800が露出した部分から成長が始まるが、その厚さが増すに伴い、 SiO_2 からなる選択成長用マスク802上へ張り出すように左右へも成長し、最終的には $20\mu\text{m}$ 幅の SiO_2 からなる選択成長マスク802上を覆った。このようにして、表面が平坦なn型GaN連続膜半導体層803が形成された。

【0005】次に、このサファイア基板800上にn型GaN連続膜半導体層803が形成されたウェハに、有機金属気相成長法(MOCVD法)によりn-GaNクラッド層804、InGaN活性層805、p-GaNコンタクト層806が形成された。以上までに作製された工程断面図を図8(b)に示す。

【0006】次に、図9の(a)従来例のLEDの上面構造図と(b)従来例LEDのA-A'断面図に示すように、 $300\mu\text{m}$ 角の発光領域810を残し、その回りを取り囲むように通常のフォトリソグラフィ技術とドライエッチング技術を用いてp-GaNコンタクト層806、InGaN活性層805、n-GaNクラッド層804を貫通するように除去し、n型GaN連続膜半導体層803を露出させた。最後に、n型GaN連続膜半導体層803の表面にn型電極807を、 $300\mu\text{m}$ 角のp-GaNコンタクト層806の表面に光透過性を有するp型電極808をそれぞれ形成した。このようにして、作製したウェハから、発光領域810の周辺でスクライプし、個々のLEDを切り出し素子とした。このようにして作製する従来例のLEDが報告されている。

【0007】

【発明が解決しようとする課題】しかしながら、このようにして作製したLEDの特性を当該発明者が試験した結果、 20mA の電流を注入した場合の発光効率(電子の光子への変換効率)が個々の素子により0.3%から

10%と大きく異なり、所望の5%以上の発光効率が得られる歩留まりが2%と非常に低いことや、80℃の条件下での約100時間の初期信頼性試験にて全ての素子の発光効率が試験開始時の約30%以下に激減することが新たに判明した。

【0008】これらの従来素子の不良について、当該発明者が詳細な検討を行った結果、下記のような事実が判明した。

(1) 選択成長マスク802の存在する選択成長マスク直上領域811に位置するInGa_N活性層805部分での発光が非常に小さい。また、この発光効率の低下はチップの発光領域810の周辺領域より発光領域810の中央領域に選択成長マスク直上領域811が位置する場合に特に顕著になることも分かった。これにより、選択成長マスク直上領域811が発光領域810のどの部分に位置しているかにより、大きく発光効率が変化する。

(2) 上記の信頼性不良の素子においても、100時間の信頼性試験走行後では、選択成長マスク直上領域811(幅20μm)のInGa_N活性層805はその近傍の両側約30μmを含め、合計80μmの領域で発光がほとんど認められない。

【0009】さらに従来例素子の結晶解析を行った結果、選択成長マスク直上領域811に位置するInGa_N活性層805には、厚さ300μmのn型Ga_N連続膜半導体層803を貫通して結晶転移が集中して導入されていることが明確になった。図10にInGa_N活性層805における結晶転移の密度を、選択成長マスク802端からの距離をパラメータとして測定した結果を示す。幅20μmの選択成長マスク直上領域811のInGa_N活性層805には密度 10^{12}cm^{-2} の結晶転移が集中しており、さらに選択成長マスク802の端から10μm離れた位置でも 10^{11}cm^{-2} の転移が観測された。選択成長マスク802の端から離れるにつれて結晶転移は減少し、30μm以上離れた場所のInGa_N活性層805では結晶転移は $10^7\sim 10^8\text{cm}^{-3}$ にまで減少した。このような傾向は、上記のように作製されたウェハのいずれの部分でも観測された。

【0010】また、同様な方法により半導体レーザを上述のようなn型Ga_N連続膜半導体層803上に、発光領域に選択成長マスク直上領域811が含まれ、発振閾値電流が700mAと大きく、かつ素子寿命も室温において1秒程度と非常に短かった。

【0011】上記のように、従来技術においては、下記のような問題点が明らかになった。

(1) 選択成長法を用いて作製した連続膜半導体層上の発光素子において、選択成長マスク直上領域811において発光効率の低下が見られるため、発光領域に選択成長マスク直上領域が含まれるチップでは劇的に発光効率が低下する。

(2) Ga_N連続膜の上に形成した半導体レーザ素子の寿命が短く、半導体レーザ素子は得られなかった。

【0012】このため、基板上に、基板と異なる格子定数や熱膨張係数を有する連続膜半導体層を成長させ、その上に形成する半導体発光素子に、格子定数差や熱膨張係数差から引き起こされる発光効率の低下や信頼性不良を防止することは不可能であった。

【0013】従って、部分的成長抑制構造を利用して、基板と格子定数または熱膨張係数が異なる連続膜半導体層を形成した上に、さらに半導体発光素子を形成する場合における発光効率の低下および信頼性の悪化を防止することを目的とする。

【0014】

【課題を解決するための手段】本発明の請求項1は、成長抑制構造上への結晶成長により得られる成長抑制構造直上領域を含む連続膜半導体層と、光を発生させる活性層とを有する半導体発光素子であって、該活性層の内、電流注入により光を発生する発光領域が前記成長抑制構造直上領域以外の領域に形成されていることにより構成されている。

【0015】本発明における請求項2は、前記発光領域は成長抑制構造直上領域から30μm以上離れた位置に形成されていることにより構成され、さらに請求項3は前記発光領域と前記成長抑制構造直上領域との間の領域では、前記活性層が除去されていることにより構成されている。

【0016】一方、請求項4は、基板上に成長抑制構造を形成する第1工程と、前記基板および前記成長抑制構造の両方を連続して覆うように前記基板と格子定数または熱膨張係数が異なる連続膜半導体層を形成する第2工程と、前記連続膜半導体層の上に光を発生させる活性層を含む多層構造体を形成する第3工程と、前記成長抑制構造部の直上領域を除いて前記活性層における発光領域を規定するための構造を形成する第4工程と、を有することにより構成されており、さらに請求項5は、半導体発光素子をウェハから複数個の半導体発光素子に分割する工程を有する半導体発光素子の製造方法であって、前記第4工程後、前記成長抑制構造直上の前記活性層が半導体発光素子に含まれないように半導体発光素子をウェハから分割する第5工程とを含むことにより構成され、請求項6は、前記第5工程において、前記成長抑制構造直上の端から30μm以内の領域に残存する前記活性層が、半導体発光素子に含まれないように半導体発光素子を分割することにより構成されている。

【0017】

【発明の実施の形態】以下に本発明を実施した例を用いて説明する。

(実施の形態1) 図1に本発明を実施した半導体レーザ素子の一例を示す。本半導体レーザ素子は、n-Ga_N連続膜半導体層102、n-Ga_Nバッファ層103、

$n\text{-Al}_{0.1}\text{Ga}_{0.9}\text{N}$ クラッド層104、多重量子井戸活性層105、 $p\text{-Al}_{0.1}\text{Ga}_{0.9}\text{N}$ クラッド層106、 $p\text{-Ga}\text{N}$ コンタクト層107から構成されており、リッジ導波路としてレーザの発光領域を規定するためのメサストライプ110、さらには、電流注入用のp型電極111、n型電極112から構成されている。

【0018】次に、図2を用いて本実施例素子の作製工程を説明する。まず、サファイア基板100の上にMOCVD法によりGa N バッファ層101を1 μm 厚成長させる。次に、Ga N バッファ層101の表面上に通常のスパッタ法によりSiO $_2$ 膜を0.4 μm 厚形成させた後、通常のフォトリソグラフィ技術とエッチング技術により幅10 μm でピッチ150 μm の周期的SiO $_2$ からなる選択成長マスク150と幅10 μm でピッチ500 μm の周期的SiO $_2$ からなる選択成長マスク151とが互いに直交する形状に形成した。以上までに作製された半導体レーザ素子の工程断面図を図2(a)に示す。

【0019】続いて、このウェハ上にHVPE法により、 $n\text{-Ga}\text{N}$ 連続膜半導体層102を150 μm 厚成長させた。基板温度は1020 $^{\circ}\text{C}$ として35分の成長により150 μm 厚の成長が完了した。この成長時、選択成長マスク150、151が成長抑制構造として働くため、従来例にて説明のように、成長初期にはGa N バッファ膜101が露出した領域でのみ成長は起こり、次第に、選択成長マスク150、151上に横方向に成長が進み、最終的に150 μm 厚の成長が終了した段階では、 $n\text{-Ga}\text{N}$ 連続膜半導体層102は連続膜を呈しており、その表面はスムーズになった。

【0020】次に、引き続きMOCVD法により、この $n\text{-Ga}\text{N}$ 連続膜半導体層102の上に、 $n\text{-Ga}\text{N}$ バッファ層103を0.5 μm 厚、 $n\text{-Al}_{0.1}\text{Ga}_{0.9}\text{N}$ クラッド層104を0.2 μm 厚、4nm厚のIn $_{0.25}\text{Ga}_{0.75}\text{N}$ 井戸層2層と3nm厚のIn $_{0.05}\text{Ga}_{0.95}\text{N}$ バリア層3層からなる多重量子井戸活性層105、 $p\text{-Al}_{0.1}\text{Ga}_{0.9}\text{N}$ クラッド層106を0.2 μm 厚、 $p\text{-Ga}\text{N}$ コンタクト層107を0.7 μm 厚成長させた。以上までに作製された半導体レーザ素子の工程断面図を図2(b)に示す。

【0021】続いて、幅2 μm 、高さ0.7 μm のメサストライプ110を選択成長マスク150の直上領域152以外の領域に選択成長マスク150とほぼ平行に形成した。この時、メサストライプ110が素子の上から観察して隣り合う選択成長マスク150のほぼ中央に位置するようにした。このメサストライプ110の形成には通常のフォトリソグラフィ技術とドライエッチング技術を適用した。この後、メサストライプ110を上面にストライプ状のp型電極111を形成した後、ウェハ裏面を研磨することによりウェハ厚さを約120 μm とし(すなわち、サファイア基板100、Ga N バッ

ファ層101、選択成長マスク150、151を完全に除去し、 $n\text{-Ga}\text{N}$ 連続膜半導体層102がウェハ裏面に露出するようにし)、 $n\text{-Ga}\text{N}$ 連続膜半導体層102の露出した裏面の全面にn型電極112を形成した。以上までに作製された半導体レーザ素子の工程断面図を図2(c)に示す。

【0022】次に、劈開によりレーザ共振器を構成するミラー面を形成した。この劈開工程は以下のようにして実施した。まず、ウェハ裏面(すなわち $n\text{-Ga}\text{N}$ 連続膜層103側)の隅近傍の2箇所にけがき傷を入れ、このけがき傷の位置において、選択成長マスク151を形成した方向と平行方向に劈開してレーザ共振器ミラーを形成した。この時、2箇所のけがき傷は互いに隣接する選択成長マスク151のエッジ部分から50 μm 離れた位置に形成し、選択成長マスク151の直上領域153がレーザ素子に含まれないようにした。従って、レーザ共振器長は400 μm であった。最後に、選択成長マスク150の直上領域152の部分をストックし、個々のレーザチップに分割した。以上の工程を経て図1に示すレーザ素子が完成する。

【0023】以上のようにして作製したレーザ素子は、閾値電流25mAでレーザ発振が実現できた。また、本レーザ素子を50 $^{\circ}\text{C}$ 雰囲気、3mW出力の条件下において信頼性試験を実施した結果、初期の50時間以内に故障に至るレーザ素子を除いて、ほとんどの素子において1000時間以上の寿命が確認でき、メディアン寿命(試験した半分の素子が故障する時間)は1500時間であった。この信頼性は当該素子を光ディスク用光源として利用する場合にでも十分な特性である。この信頼性の改善は、本レーザ素子では、 $n\text{-Ga}\text{N}$ 連続膜半導体層102を成長させるために形成した成長抑制構造である選択成長マスク150、151上において結晶欠陥が集中する直上領域152、153がレーザ素子の発光領域(この場合は活性層105に電流が選択的に注入されるメサストライプ110が形成されている部分)に含まれないように、選択成長マスク150、151の形状と、選択成長マスク150に対するメサストライプ110の相対位置、および選択成長マスク151に対するレーザ共振器ミラーの劈開のための相対位置を設定したことによるものと理解できる。

【0024】上記の発明を実施したレーザ素子では、メサストライプ110を隣接する選択成長マスク150の直上領域152同士の間中央となるように(すなわち、選択成長マスク150の端から70 μm 離れた部分に)形成されている。上記の実施例素子と同様の構造で、メサストライプ110の直上領域152(すなわち選択成長マスク150)端からの距離を0 μm (すなわち直上領域152内にメサストライプ110を形成した場合)、10 μm 、20 μm 、30 μm 、50 μm 、70 μm と変化させたレーザ素子を作製し、上記と同様の信頼性試

験を実施した。この時、素子分離のためのスクライブ位置はいずれの素子においても隣接するメサストライプ110の中心付近とし、スクライブ位置のメサストライプ110との相対距離を一定とした。その結果を図3に示す。横軸は直上領域152の中心からメサストライプ110までの距離、縦軸はメディアン寿命を示している。この結果から、実用上必要とされる1000時間以上のメディアン寿命を確保するためにはメサストライプ110を直上領域152から30 μ m以上離れた位置に形成することが必要であることが分かった。

【0025】（実施の形態2）次に、本発明を発光ダイオードに適用した場合について述べる。図4に第2の実施形態素子の構造図を示す。n-GaN連続膜半導体層401、n-GaNバッファ層402、In_{0.1}Ga_{0.9}N歪み緩和層403、In_{0.5}Ga_{0.5}N単一量子井戸活性層404、p-Al_{0.2}Ga_{0.8}N蒸発防止層405、p-GaNコンタクト層406、およびn型電極407、p型電極408から構成されている。また本実施例の素子ではメサ410により発光領域が規定されている。

【0026】次に、本発光素子の作製方法について説明する。まず、サファイア基板400表面にダイシングにより幅40 μ m、深さ50 μ mの溝構造450を400 μ mピッチで格子状に形成する。以上までに作製された半導体素子の工程断面図を図5（a）に示す。

【0027】次にHVPE法により、厚さ300 μ mのn-GaN連続膜半導体層401を成長させる。この時、サファイア基板400に形成した溝構造450があるため成長初期においてn-GaN連続膜半導体層401は平坦な面としての成長ができないが、成長層厚を増すに従って徐々に左右の壁からの成長により溝構造450を埋まり、表面の溝は平坦に埋め込まれることとなった。すなわち、実効的に溝450での成長が遅いのと同様の効果を実現でき、300 μ mの成長終了時にはn-GaN連続膜層401は、連続した表面が平坦な単一の層にすることができた。

【0028】次に、分子線エピタキシャル法（MBE法）により、n-GaN連続膜半導体層401上にn-GaNバッファ層402を0.4 μ m厚、In_{0.2}Ga_{0.8}N歪み緩和層403を0.05 μ m厚、In_{0.45}Ga_{0.55}N単一量子井戸活性層404を4nm厚、p-Al_{0.1}Ga_{0.9}N蒸発防止層405を0.1 μ m厚、p-GaNコンタクト層406を0.4 μ m厚成長させた。以上までに作製された発光素子の工程断面図を図5（b）に示す。

【0029】さらに、通常の写真リソグラフィ技術とドライエッチング技術を用いてIn_{0.45}Ga_{0.55}N単一量子井戸活性層404を含む300 μ m角メサ410を周期的に残し、その間の領域を100 μ m幅でエッチングし、n-GaN連続膜半導体層401をエッチング底

面に露出させた。すなわち、エッチングを行った領域は400 μ mピッチの格子状の形状となり、これにより、溝構造450の上にMBE成長された欠陥を多く含む溝構造450の直上領域451とその周辺に含まれるIn_{0.45}Ga_{0.55}N単一量子井戸活性層404を完全に除去した。本実施の形態では溝構造450が成長抑制構造となる。以上までに作製された発光素子の工程断面図を図5（c）に示す。

【0030】次に、ウェハの裏面を研磨し、サファイア基板400を完全に除去しn-GaN連続膜半導体層401をウェハ裏面に露出させた後、このn-GaN連続膜半導体層401にn型電極407を、メサ410の表面に光透過性のp型電極408を形成した。最後に、溝構造450の直上領域451でスクライブすることにより、個々の発光ダイオードチップとした。以上までに作製された発光素子の工程断面図を図4に示す。

【0031】このようにして作製された発光ダイオードの電子の光子への変換効率を測定したところ、実用上問題がないとみなすことが出来る変換効率5%以上の素子の歩留まりが85%と高かった。さらに、本実施例素子を従来例素子と同様の条件にて信頼性試験を実施したところ、1000時間経過後においても、試験開始時の95～103%の発光強度を得ることができ、実用上問題のない信頼性が確保された。

【0032】本実施形態の発光素子における発光領域は、In_{0.45}Ga_{0.55}N単一量子井戸活性層404が残存しているメサ410部に相当する。n-GaN連続膜半導体層401成長時に成長抑制構造として利用した溝構造450の直上領域451を除いた領域にメサ410が形成されているため、作製された全ての発光素子において発光領域には溝構造450の直上領域451は含まれていない。また、エッチングによりIn_{0.45}Ga_{0.55}N単一量子井戸活性層404が除去された幅は100 μ mであり、メサ410部の発光領域は幅40 μ mの溝構造450の端から30 μ m離れたところに形成されていることとなる。上記のように発光効率の高い素子を歩留まり良く得ることができ、かつ問題のない信頼性を実現できるのは、HVPE法およびMOCVD法による結晶成長工程により溝構造450の直上領域451に集中的に導入された結晶欠陥の影響が、In_{0.45}Ga_{0.55}N単一量子井戸活性層404での発光に悪影響を与えず、比較的結晶欠陥の少ない部分に制御性良く発光領域を配置することが可能となったためと考えられる。

【0033】なお、上記の実施形態の発光素子において、発光素子作製工程および構造はほぼ同等とし、溝構造450のピッチのみを上記の例の400 μ mから500 μ mおよび300 μ mに変化させた場合の発光素子を試作した。この場合においてもメサ410の大きさや作製ピッチはそれぞれ300 μ m、400 μ mと上記の実施形態素子のままとした。これらの発光素子の発光特性

を測定したところ、溝450のピッチを300 μm と小さくした素子では、5%以上の発光効率を得られる歩留まりは16%と激減した。一方、500 μm と広げた発光素子では38%であった。これは、溝構造450のピッチが、個々の発光ダイオードを形成するメサ410の作製ピッチと同一であることが重要であることを示している。従って、同一面積のウェハーからより多くの発光素子を作製するためには、全ての発光素子において溝構造の直上領域451が発光領域に含有されないようにすべきである。この意味に置いて、溝構造450のピッチをメサ410作製ピッチの整数倍にしても良いことは言うまでもない。

【0034】（実施形態3）次に、成長抑制構造自体をレーザ素子に残存させた実施形態について説明する。図6に本実施形態の素子構造図を示す。本実施形態の素子構造はn-SiC基板600と、Ga_{0.9}Nバッファ層601、n-GaN連続膜半導体層602、n-GaNバッファ層603、n-Al_{0.1}Ga_{0.9}Nクラッド層604、3nm厚のIn_{0.1}Ga_{0.85}Al_{0.05}Nバリア層3層と3nm厚のIn_{0.2}Ga_{0.8}N量子井戸層2層からなる多重量子井戸活性層605、p-Al_{0.1}Ga_{0.9}Nクラッド層606、p-GaNコンタクト層607、からなる半導体層構造と、p型電極611、n型電極612、さらには、導波路と電流通路を規定するメサストライプ610、共振器ミラーとなるエッチドミラー613を有している。

【0035】以下に、本実施形態のレーザ素子の作製方法について説明する。（工程図は図2と類似しているのでここでは省略する。）まず、n-SiC基板600上に、SiN_xからなる幅10 μm で周期が100 μm の選択成長マスク650と、幅が10 μm で周期が400 μm の選択成長マスク651とが互いに直交するように形成した。このウェハー上にMOCVD法によりGa_{0.9}Nバッファ層601を30nm厚、n-GaN連続膜半導体層602を100 μm 厚、n-GaNバッファ層603を0.1 μm 、n-AlGa_{0.9}Nクラッド層604を0.3 μm 厚、多重量子井戸活性層605、p-AlGa_{0.9}Nクラッド層606を0.3 μm 厚、p-GaNコンタクト層607を1.0 μm 厚連続的に結晶成長させる。この時、n-GaN連続膜半導体層602の成長においては、厚さが30 μm 以下の状態では選択成長マスク650、651上では未成長部分が残存しており、結晶は連続した膜を呈していなかったが、さらに成長を続けて厚さが100 μm に達した段階では、n-GaN連続膜半導体層602表面は実施形態1と同様に平坦で連続した単膜を呈しており、その上に連続的に形成された積層構造に含まれる各層603～607もまた平坦な層として成長された。

【0036】次に、通常的光リソグラフィ技術とエッチング技術を利用し、高さ0.8 μm 、幅2 μm のメ

サストライプ610を選択成長マスク651と平行に形成した。このメサストライプ610はレーザ導波路を活性層605に形成するばかりでなく、活性層605に注入される電流の通路もメサストライプ610直下近傍部分に規定し、効率よく電子をレーザ光に変換する働きをする。本工程において、メサストライプ610は、両側の選択成長マスク651の直上領域653の中央、すなわち選択成長マスク651の端とメサストライプ610の端の間隔が39 μm となるように形成した。

【0037】次に、通常のエッチドミラー形成のためのフォトリソグラフィ技術とドライエッチング技術を利用し、レーザ共振器ミラーとなるエッチドミラー613を形成した。この時、エッチドミラー613が選択成長マスク650に平行であり、かつ選択成長マスク650の直上領域652の活性層605をエッチングより除去するように、選択成長マスク650の直上領域652を中心として全幅100 μm の領域にエッチングを施し、n-GaN連続膜半導体層602がエッチング底面に露出するまでエッチングを行った。この工程によりレーザ共振器となるべき一組の共振器ミラーが形成され、本実施形態のレーザ素子における共振器長は300 μm とした。すなわち、選択成長マスク650の周期と同じ400 μm 周期でエッチドミラー形成のためのエッチングを実施したことになる。

【0038】最後に、メサストライプ610上面にp型電極611を、n-SiC基板600裏面全面にn型電極612を形成した後、選択成長マスク650、651の直上領域652、653の部分でスクライプすることにより個々のレーザ素子に分割した。

【0039】本実施形態のレーザ素子を実施形態2の60℃雰囲気下、5mW光出力の条件下での信頼性試験を実施したところ、初期24時間の異常劣化を示した素子を除いて、全て1000時間以上の寿命を有することが確認できた。この場合のメディアン寿命は約1600時間であった。このように、信頼性の高いレーザが実現できたのは、選択成長マスク650の直上領域652が発光領域であるメサストライプ610に全く含まれず、レーザ素子の劣化を引き起こす結晶欠陥が少ない領域のみの活性層605が発光に寄与している効果と推察される。

【0040】ところで、実施形態1においてはレーザ素子の劈開位置は選択成長マスク150の直上領域152外の部分に限られていた。これは、選択成長マスク150の直上領域152で劈開した場合に、レーザの発光領域となるメサストライプ110内の破壊し易い劈開面近傍に結晶欠陥が多く含まれる選択成長マスクの直上領域152が包含され、素子を動作させた時に瞬時に劣化することを避けるためである。しかし、実施形態1におけるように選択成長マスク150の直上領域152の近傍にて選択成長マスク150の直上領域152に平行に

劈開をした場合、部分的に劈開面に段差が生じ、結果として一部の素子にてメサストライプ110に選択成長マスク150の直上領域152が含まれてしまう場合があった。これは、選択成長マスク150の直上領域152に結晶欠陥が多く含まれており、結晶として弱く、より割れやすいことが原因と考えられる。すなわち、選択成長マスク150の直上領域152で結晶が劈開しやすい性質を持ち合わせているのに関わらず、実施形態1ではその近傍を劈開していたためである。この現象は、劈開により素子を分割する場合のみならず、スクライブにより素子を分割する場合にも同様の現象が観測され、選択マスク151の直上領域153でスクライブした場合に比べて、選択マスク151の直上領域153近傍で選択マスク151の直上領域153と平行に制御性良くスクライブした場合の歩留まりは低かった。

【0041】一方、本実施形態素子では、素子を分割する際の4面全てのスクライブによる素子分割位置を選択成長マスク650、651の直上領域652、653に限定できるため、素子分割時に所定の位置にてスクライブが起り、メサストライプ610に選択マスクの直上領域652が含まれたり、所定の形状（上方から観察して図6に示すように直方形）から素子の形状がずれることは無かった。これにより、素子をマウントする際の素子形状認識においても、エラーを低下させることができ、素子マウント歩留まりも改善することができた。この点も、本実施形態素子における大きなメリットであった。

【0042】（実施形態4）次に、成長抑制構造の直上領域の活性層が素子に残存している場合の本発明の実施形態を発光ダイオードの例を用いて説明する。図7に、本実施形態の発光素子の上面より観察した構造図を示す。Ga_{0.45}N連続膜層の形成方法や半導体積層構造は実施形態2の場合と同じとした（本実施形態例の説明では共通する各層の表記は実施例2と同一とする）。実施形態2と異なるのは、In_{0.45}Ga_{0.55}N単一量子井戸活性層404を含むメサ710の形状が図7のような形状を有しており、かつそのサイズを390μm角と大きくした点である。このため、本実施形態の発光素子では、n-GaN連続膜層401成長時の成長抑制構造たる溝構造450の直上領域751に位置するIn_{0.45}Ga_{0.55}N単一量子井戸活性層404がメサ710内に含まれた形となっている。

【0043】しかし、本実施形態の発光素子では、p型電極711を300μm角として、メサ710の中央領域に配置した。すなわち、溝構造450の直上領域751および直上領域751の端から30μmの領域においてはp型電極が形成されないようにした。一方、n型電極712はIn_{0.45}Ga_{0.55}N単一量子井戸活性層404が除去された発光素子の一角に図7のように形成した。

【0044】このような構成とすることにより、p型コンタクト層406、p型電極711から注入される電流はp-GaNコンタクト層406が、比較的抵抗率の高いp-GaNからなっており、かつ0.4μmとその膜厚が薄いために、p型コンタクト層406中ではほとんど電流が横方向に拡散せず、p型電極711の直下のIn_{0.45}Ga_{0.55}N単一量子井戸活性層404にのみ電流を注入することができる。

【0045】当該実施形態の発光素子の特性を評価した結果、5%以上の電子-光子変換効率を有するチップは、検査した内の79%に達し、従来技術により構成された発光素子より格段の改善が認められた。また、これらの発光素子の信頼性試験（条件は実施形態2と同様）を行ったところ、1000時間経過後の発光輝度は試験当初の発光輝度に対して85~99%の範囲となり、全ての発光素子が実用上問題ないことが確認された。

【0046】以上、実施形態の発光素子においては、Ga_{0.45}N連続膜半導体層を用いて窒化ガリウム系の発光素子を作製した例を説明したが、本発明は以下のような場合にも適用できることはいうまでもない。

（1）基板材料や連続膜半導体層の材料、および発光素子を構成する材料が異なる場合（例えば、基板がSi、連続膜半導体層がGaAs、の場合や基板がSi、GaAsで連続膜層がGaNである場合、等）。

（2）成長抑制構造である選択成長マスクの材料が異なる場合（SiN_x、SiO_x、AlO_x、等）や、構造自体が選択成長マスクや溝構造以外の場合（例えば、サファイア基板上に形成したリッジストライプやその他の凹凸構造、等）。

（3）連続膜半導体層を形成後、発光層形成前に基板を完全に除去するように工程の順番を変更した場合。

【0047】

【発明の効果】以上のように、本発明を適用することにより、基板とは格子定数や熱膨張係数が異なる連続膜半導体層上に半導体発光素子を作製した場合、発光効率の低下を防止し、歩留まり良く発光効率の高い発光ダイオードや半導体レーザを実現できた。また、本発明により、これらの発光素子において実用上十分な信頼性を確保することが可能となった。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体レーザ素子の断面図である。

【図2】本発明の実施の形態1の半導体レーザ素子の作製工程図である。

【図3】成長マスクの直上領域からメサストライプまでの距離に対するメディア寿命を示す図である。

【図4】本発明の実施の形態2の半導体発光素子の断面図である。

【図5】本発明の実施の形態2の半導体発光素子の作製工程図である。

【図6】本発明の実施の形態3の半導体レーザ素子の断面図である。

【図7】本発明の実施の形態4の半導体発光素子の上面図である。

【図8】従来の半導体発光素子の作製工程図である。

【図9】従来の半導体発光素子の構造を示す図である。

【図10】成長抑制構造からの距離に対する結晶転移の面密度を示す図である。

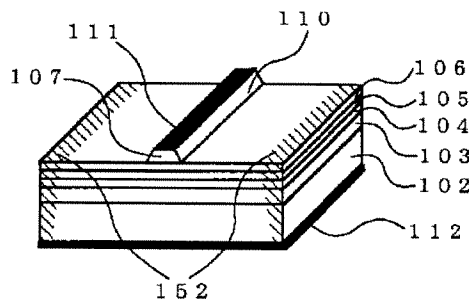
【符号の説明】

100 サファイア基板
101、601 GaNバッファ層
102、602、401 n-GaN連続膜層
103、603、402 n-GaNバッファ層
104、604 n-Al_{0.1}Ga_{0.9}Nクラッド層
105、605 多重量子井戸活性層
106、606、405 p-Al_{0.1}Ga_{0.9}Nクラッド層

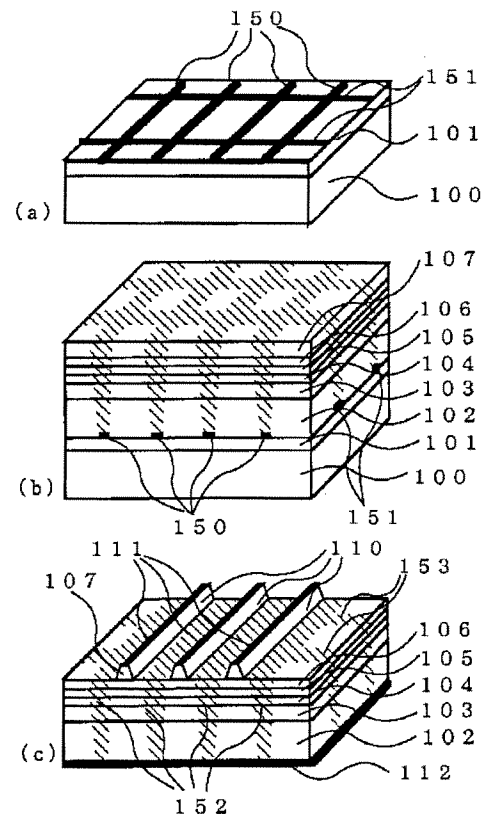
ド層

107、607 406 p-GaNコンタクト層
110、610 メサストライプ
111、611、408、711 p型電極
112、612、407、712 n型電極
150、151、650、651 選択成長マスク
152、153、652、653 直上領域
400 サファイア基板
403 In_{0.2}Ga_{0.8}N歪み緩和層
404 In_{0.45}Ga_{0.55}N単一量子井戸活性層
410 メサ
450 溝構造
451、751 直上領域
600 SiC基板
710 メサ

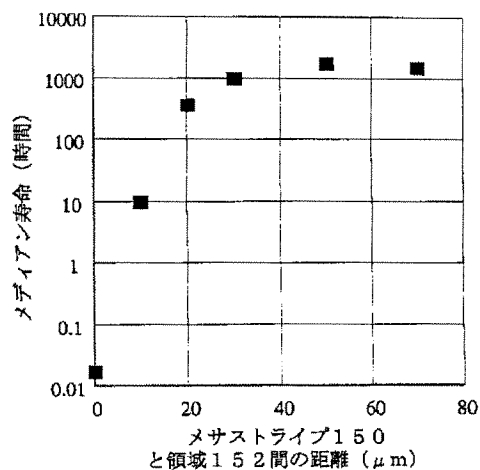
【図1】



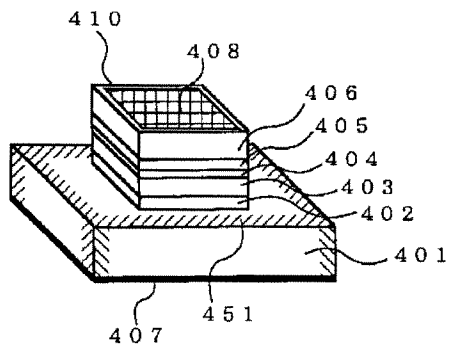
【図2】



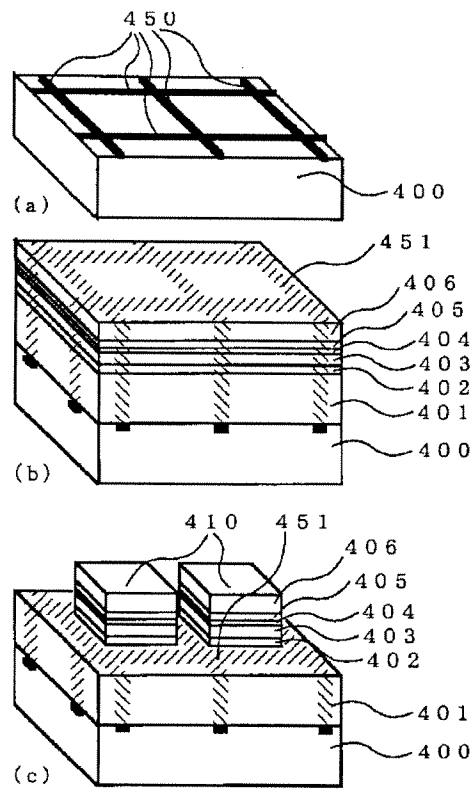
【図3】



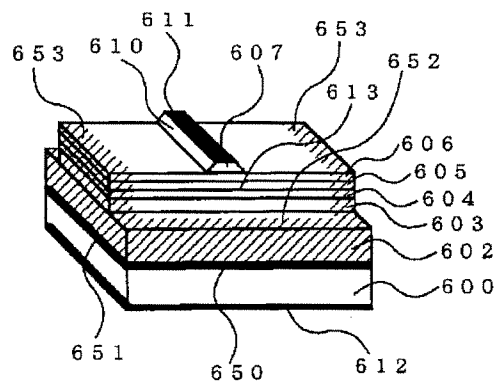
【図4】



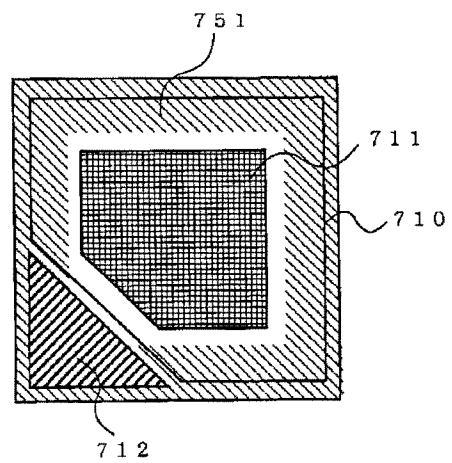
【図5】



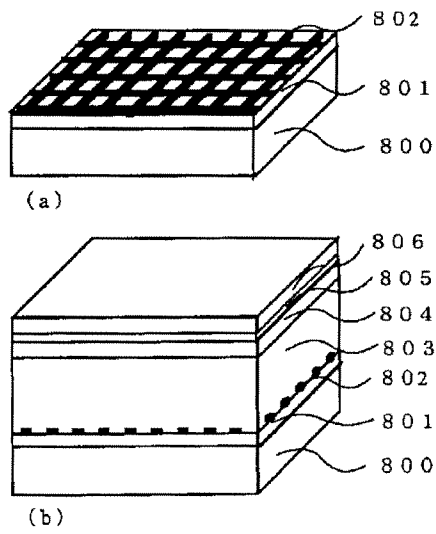
【図6】



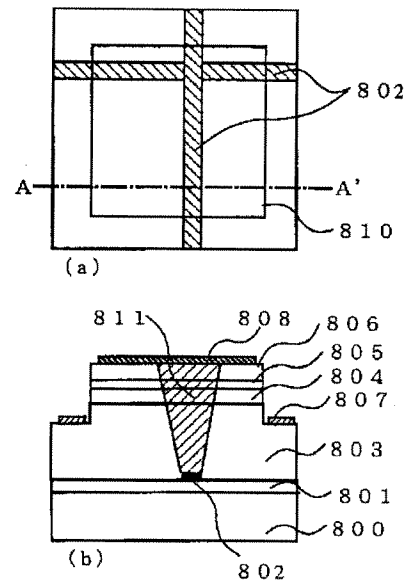
【図7】



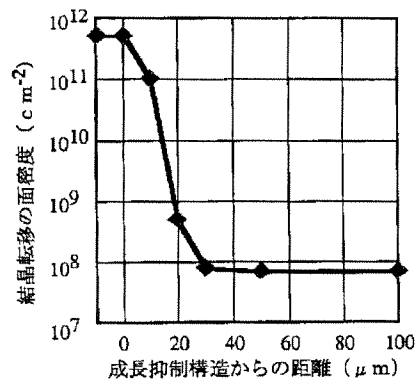
【図8】



【図9】



【図10】



【公報種別】特許法第 1 7 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 1 7 年 7 月 2 1 日 (2 0 0 5 . 7 . 2 1)

【公開番号】特開平 1 1 - 2 3 3 8 9 3

【公開日】平成 1 1 年 8 月 2 7 日 (1 9 9 9 . 8 . 2 7)

【出願番号】特願平 1 0 - 3 5 6 3 8

【国際特許分類第 7 版】

H01S 5/30

H01L 33/00

【F I】

H01S 3/18

H01L 33/00 C

【手続補正書】

【提出日】平成 1 6 年 1 1 月 2 6 日 (2 0 0 4 . 1 1 . 2 6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

成長抑制構造上への結晶成長により得られる成長抑制構造直上領域を含む連続膜半導体層と、光を発生させる活性層とを有する半導体発光素子であって、

該活性層の内、電流注入により光を発生する発光領域が前記成長抑制構造直上領域以外の領域に形成されていることを特徴とする半導体発光素子。

【請求項 2】

前記発光領域は成長抑制構造直上領域から $30\mu\text{m}$ 以上離れた位置に形成されていることを特徴とする請求項 1 に記載の半導体発光素子。

【請求項 3】

前記発光領域と前記成長抑制構造直上領域との間の領域では、前記活性層が除去されていることを特徴とする請求項 1 または 2 に記載の半導体発光素子。

【請求項 4】

基板上に成長抑制構造を形成する第 1 工程と、

前記基板および前記成長抑制構造の両方を連続して覆うように前記基板と格子定数または熱膨張係数が異なる連続膜半導体層を形成する第 2 工程と、

前記連続膜半導体層の上に光を発生させる活性層を含む多層構造体を形成する第 3 工程と、

前記成長抑制構造部の直上領域を除いて前記活性層における発光領域を規定するための構造を形成する第 4 工程と、を有することを特徴とする半導体発光素子の製造方法。

【請求項 5】

半導体発光素子をウェハーから複数個の半導体発光素子に分割する工程を有する半導体発光素子の製造方法であって、

前記第 4 工程後、前記成長抑制構造直上の前記活性層が半導体発光素子に含まれないように半導体発光素子をウェハーから分割する第 5 工程とを含むことを特徴とする請求項 4 に記載の半導体発光素子の製造方法。

【請求項 6】

前記第 5 工程において、前記成長抑制構造直上の端から $30\mu\text{m}$ 以内の領域に残存する前記活性層が、半導体発光素子に含まれないように半導体発光素子を分割することを特徴

とする請求項 5 に記載の半導体発光素子の製造方法。